

PAT-NO: JP362150776A
DOCUMENT-IDENTIFIER: JP 62150776 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: July 4, 1987

INVENTOR-INFORMATION:
NAME
MIZUNO, TETSUYA

ASSIGNEE-INFORMATION:
NAME FUJI ELECTRIC CO LTD COUNTRY
N/A

APPL-NO: JP60295141
APPL-DATE: December 24, 1985

INT-CL (IPC): H01L029/74
US-CL-CURRENT: 257/734

ABSTRACT:

PURPOSE: To prevent any shortcircuit as well as positional slip from occurring by a method wherein a semiconductor and a contact electrode sheet with relief part are made into polygonal shape to match the relative positions of contact electrode sheet and semiconductor with each other for fixation.

CONSTITUTION: The main surface of semiconductor substrate 1 is not subjected to any processing with irregularity while a throughhole 20 with the same but slightly larger profile shape is made as a relief part on a position to the

gate electrode 2 of a contact electrode sheet 6 abutting against a cathode electrode 3. A flange 17 and a space ring 14 fitted to an insulating ring 9 are formed into hexagonal shape so that they may fill the roles of a guide in inserting respective corners, a means for correct alignment of the semiconductor substrate 1 and the contact electrode sheet 6 not to be rotated with one another after the insertion. Through these procedures, both gate and cathode electrodes 2 and 3 can be prevented from shortcircuiting constantly assuring stable operation.

COPYRIGHT: (C)1987, JPO&Japio

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)7月4日

H 01 L 29/74

J-6655-5F

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭60-295141

⑯ 出 願 昭60(1985)12月24日

⑰ 発 明 者 水 野 鉄 哉 川崎市川崎区田辺新田1番1号 富士電機株式会社内
 ⑱ 出 願 人 富士電機株式会社 川崎市川崎区田辺新田1番1号
 ⑲ 代 理 人 弁理士 富 村 潔

明 細 書

1. 発明の名称 半導体装置

2. 特許請求の範囲

- 1) 半導体基板の主表面に接触電極板と接続される第1の電極層と、前記接触電極板と接続されない第2の電極層とを有し、接触電極板は前記第1の電極層と接触する接触面と、前記第2の電極層と対向する個所に設けられ第2の電極層より大きい輪郭を持った逃げ部とを有し、しかも半導体基板と接触電極板とを多角形に形成して両者の相互位置が固定されるように容器中に収納したことを特徴とする半導体装置。

3. 発明の詳細な説明

〔発明の属する技術分野〕

本発明は例えば高速サイリスタのように複雑な形状のゲート電極を備えた半導体装置に関する。

〔従来技術とその問題点〕

例えば高速サイリスタ素子は、第5図の平面図

および第5図のA-A線断面図である第6図に示すように、半導体基板1の主表面に複雑な形状のゲート電極2とカソード電極3とを備え、ゲート電極2は補助サイリスタの電極を形成し、カソード電極3は外部に接続されて主電流の経路となる。中心部には外部に接続される第1段のゲート電極4がある。このような高速サイリスタは、正常な動作を維持するために、ゲート電極2とカソード電極3とが永続的に短絡することがないように両電極はそれぞれ分離して配置されるのが通常である。このような半導体基板を有する半導体素子を容器に封入して平型高速サイリスタ装置を構成する場合には、第7図に示すように、半導体基板1はモリブデンまたはタングステンからなる支持板5に固着され、半導体基板1のカソード電極3の上には平滑な面を持った導電性金属、例えばモリブデンなどからなる接触電極板6が当接される。ゲート電極2とカソード電極3とが電気的に短絡を生じない配置とするために、第6図、第7図か

らわかるように例えば基板1の主表面が凹凸部を持つように薬品などを用いてエッチング加工により段差を形成し、基板1の凹部にアルミ蒸着膜からなるゲート電極2、基板1の最外主表面に同じくアルミ蒸着膜からなるカソード電極3を設けることにより行われる。このようにして基板1の主表面に設けた凹凸部の高低差により、ゲート電極2は接触電極板6との間に空間絶縁部が生じ、ゲート電極2は接触電極板6に当接しているカソード電極3と電氣的絶縁状態が保たれる。

第7図の平型半導体装置を組み立てるに当つては、まずフランジ7を介してろう接された電極8と絶縁環9とからなる容器中に、ばね部材10と絶縁部材11とともに、これらを通したゲートリード線12を、先端がシリコン基板1の第1段ゲート電極4に当接されるべき箇所に載置し、ゲートリード線12の他端は絶縁環9を貫通する管13に差込み、管13とともに端末でつぶして一体に封止する。次に例えばテフロン製のスペースリン

グ14を容器に挿入するが、スペースリング14にはリード線12と交差する箇所に切込みを入れてリード線12が邪魔にならないようにしてある。しかる後接触電極板6と、前もつて第6図のように主表面に凹凸部を加工した基板1と支持板5とからなる半導体素子を第7図のように配置し、最後に容器の蓋となるフランジ15を有する電極16を半導体素子の上に置き、フランジ15と絶縁環9に設けたフランジ17とを容器の全局でヘリアーク溶接して平型半導体装置の組立てが完了する。

しかしながら、このような構造を有する平型半導体装置には次のような欠点がある。その一つは、半導体基板1の主表面上に形成される凹部の深さ寸法を 0.02 ± 0.01 mmに制御しなければならないという加工上の困難さを伴うことである。第8図は第5～7図の主表面が凹凸加工された基板1のゲート電極2とカソード電極3および接触電極板6との関係を示した拡大断面図であり、例えば

基板1の主表面の凹部の加工深さが規定寸法より浅すぎた場合には、第8図に示すようにゲート電極2にフォトリソの程度の悪さなどに起因して突起部18が生じると、この突起部18が接触電極6に接触してしまうことがあり、その結果ゲート電極2とカソード電極3との電氣的な短絡を招くことになる。また第9図も第8図と同様な断面図であるが、この場合は例えば基板1の主表面に設けた凹部に、製造過程に金属微粒子などの異物19が混入したために、この導電性を持った異物19を介して、ゲート電極2と接触電極板6とが接触することによりゲート・カソード両電極間が短絡することを表わしている。

欠点の第二は、第7図の平型サイリスタ装置の構造では、半導体素子が容器に収納された後に使用状態において初めて接触電極板6が加圧接触されるものであり、半導体素子も接触電極板6も製造後常時拘束されているわけではないから、この

ような平型サイリスタ装置は、取扱い中に容器に封入されている半導体素子や接触電極板6の回転などが原因でカソード電極3が削られて損傷するばかりでなく、ゲート・カソード両電極間の短絡を招くおそれがあることである。

〔発明の目的〕

本発明の目的は、上述の欠点を除去し、ゲート電極とカソード電極とが接触電極板を介して短絡を生ずることなく、かつ半導体素子と接触電極板との位置ずれを防止した半導体装置を提供することにある。

〔発明の要点〕

本発明の半導体装置は、主表面に凹凸部を設けることなくゲート、カソード両電極を配置した半導体基板と、貫通孔または溝などの逃げ部を設けた接触電極板と、それらを収納する容器とを備え、少くとも半導体基板と接触電極板とを多角形とし、接触電極板と半導体素子との相対位置を整合させ固定するものである。

〔発明の実施例〕

次に本発明を図面に示す実施例について説明する。

本発明による半導体装置の組立て手順は第7図に示したものとほぼ同じであるから、以下には本発明に直接関係する部分のみについて説明する。すなわち本発明が第5図～第7図に示すものと異なる所は、半導体基板1、接触電極板6、およびそれらを収納する容器の形状であり、第1図に示すように、半導体基板1の主表面には凹凸加工を施すことなく、カソード電極3と当接する接触電極板6のゲート電極2と対向する個所に、ゲート電極2よりやや大きく同じ輪郭形状を有する貫通孔20を逃げ部として設けてある。第2図の実施例では貫通孔の代りに接触電極板6に逃げ部として溝21が設けられている。このようにすることにより、基板1の主表面に、凹部を設けてゲート電極2を配置する必要はなく、また接触電極板6として用いられるモリブデンのような電気良導体の

し、両者の回転を防止しなければならない。第3図はこの回転を防止するため半導体基板1を六角形にした例である。この場合接触電極板6も同じように六角形にする。第4図は容器の蓋となるフランジ15を有する電極16をはずした状態を支持板5の方から見た平面図である。図のように絶縁層9に設けたフランジ17およびスベースリング14も六角形にしてあるため、それぞれの角が挿入するガイドとなり、半導体基板1と接触電極板6とを正しく位置合せすることができ、挿入後も相互に回転することはない。上述の例では収納容器をも多角形にしたものをあげたが、容器と半導体素子との間にスペーサーを入れる場合は、スペーサーの内周を多角形にして目的を果すことができるから必ずしも容器を多角形にする必要がないことはいうまでもない。

〔発明の効果〕

以上のように本発明によれば、半導体基板の主表面に極めて手数がかかりしかも深さの制御が困難

貫通孔20或は溝21のような逃げ部の深さ寸法は $0.1 \sim 0.5 \text{ mm}$ とすることができるから、従来の欠点とされた基板1の主表面に設けた凹凸の高低差 $0.02 \pm 0.01 \text{ mm}$ に比べてはるかに大きく、たとえゲート電極2に前述した第8図に示すような突起18や第9図に示す異物19の混入があつたとしても、ゲート電極2の厚さ寸法 0.02 mm に対して十分対応し得るものである。したがってゲート電極2と接触電極板6とが直接接触する状態は起こらないから、ゲート電極2とカソード電極3とが接触電極板6を介して短絡を生ずるという現象はなくなる。

なお以上のことは半導体基板1と接触電極板6とが常に正しい位置を保ち整合されていることを条件とし、前述したように半導体基板1と接触電極板6との相対位置がそれぞれの回転などによつてずれた場合には、回転によるカソード電極の摩耗粉などを生じて短絡を生ずることがあり得る。したがって半導体基板1と接触電極板6とを固定

な凹部を設けてゲート電極を配置する必要がないから、製造工程が簡単となり、接触電極板に形成した逃げ部と、半導体素子と接触電極板とを多角形にすることによる相互回転防止とにより、半導体素子と接触電極板との間に一定の相対位置関係を正確に保持することができ、ゲート、カソード両電極間に短絡が生ずることはなく、常に安定な運転状態が得られるものである。

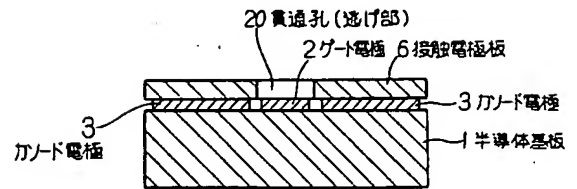
4. 図面の簡単な説明

第1図、第2図は本発明の異なる実施例の縦断面図、第3図は本発明の実施例の半導体素子の横断平面図、第4図は本発明の実施例の半導体素子を下側から見た横断平面図、第5図、第6図は従来の高速サイリスタ素子のそれぞれ横断平面図、縦断面図、第7図は従来の平型半導体装置の縦断面図、第8図、第9図は従来の半導体装置における電極の短絡状態の異なる例の部分拡大断面図である。

1 … 半導体基板、 2 … ゲート電極、

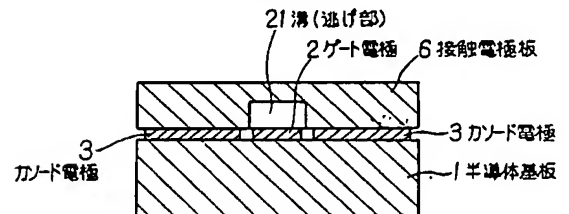
3 ... カソード電極、 6 ... 接触電極板、
20 ... 貫通孔 (逃げ部)、 21 ... 溝 (逃げ
部)。

第1図

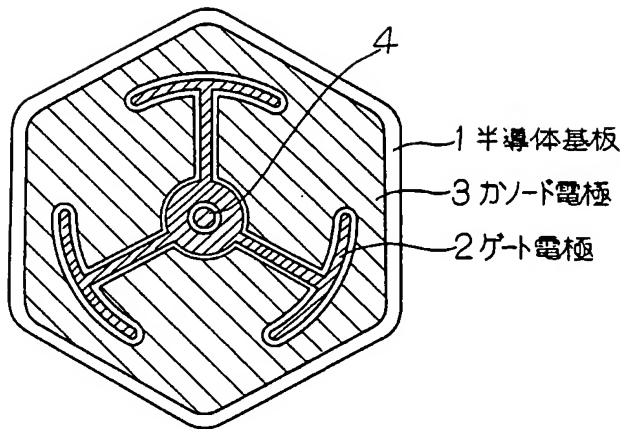


6110 発行人 町田 隆 氏

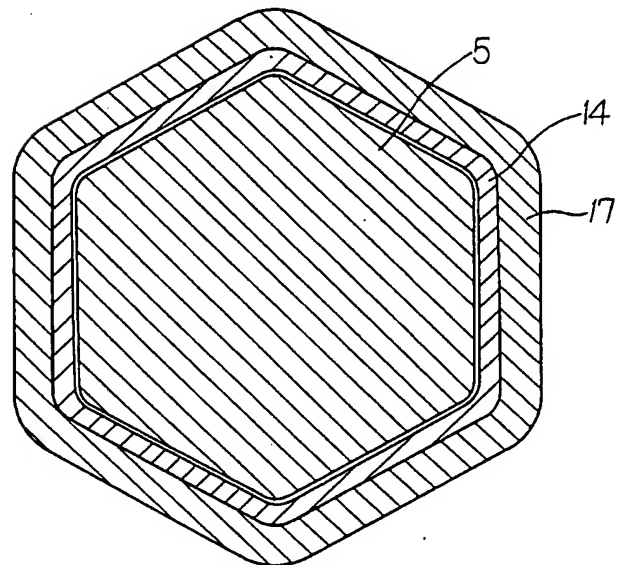
第2図



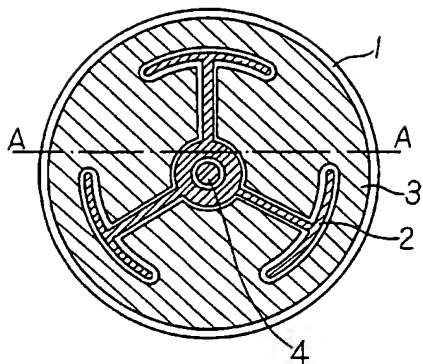
第3図



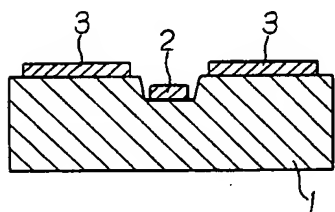
第4図



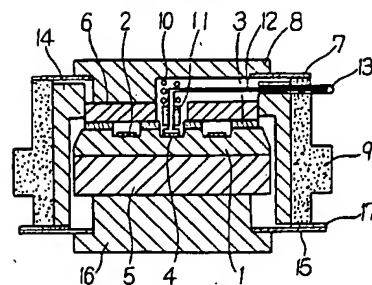
第5図



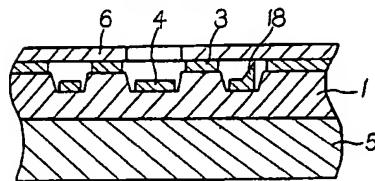
第6図



第7図



第8図



第9図

